

硅基片上变压器层间串扰与屏蔽优化

张 峰, 屈 操, 赵 婷

(中国科学院 自动化研究所, 北京 100190)

摘 要: 提出了一种基于共面波导传输线栅格屏蔽原理的片上变压器层间串扰屏蔽结构. 通过场路结合、协同仿真的方法比较分析了该结构对片上变压器层间串扰的影响. 结果表明: 该屏蔽结构能有效屏蔽硅基片上变压器层间电磁场的渗透, 对改善片上变压器的高频性能、屏蔽片上变压器的层间串扰效应有较好的效果.

关键词: 硅基片上变压器; 互连线; 串扰效应; 栅格屏蔽

中图分类号: TN405

文献标识码: A

文章编号: 1000-7180(2016)06-0001-05

Crosstalk Analysis and Optimization of Metal Layers for On-Chip Transformers in Silicon RFIC

ZHANG Feng, QU Cao, ZHAO Ting

(Institute of Automation, Chinese Academy of Sciences, Beijing 100190, China)

Abstract: This paper analyzes the on-chip transformer crosstalk effects between the layers, and the extraction of the on-chip transformer parameter and interconnection transmission lines modeling are studied. In order to reduce losses caused by the crosstalk effects, patterned shield structure which based on the principle of coplanar waveguide transmission lines shielding grid is proposed. Finally, the influence of patterned shield structure to on-chip transformer interlayer crosstalk is analyzed by the method of CO simulation. The results show that the shielding structure effectively decouples the interconnect lines of on-chip transformers.

Key words: on-chip transformers; interconnect lines; crosstalk effect; gridded shield

1 引言

随着无线通信技术的高速发展和 CMOS 工艺性能的提高, 集成化、小型化已经成为射频集成电路 (RFIC) 的发展趋势^[1], 集成化在提高系统可靠性的同时也有效降低了系统成本. 硅基片上变压器 (简称片上变压器) 是射频集成电路的一种重要无源器件^[2], 被广泛用于射频无线通信电路中实现阻抗匹配、功率合成、交流耦合、DC 隔离及带宽扩展等功能.

片上变压器线圈通常是将金属互连线绕制螺旋状而形成, 占据芯片面积较大^[3]. 为了使电路获得更好集成度, 减小芯片面积, 可以将片上变压器和电路中其他器件采用层叠式设计, 如图 1 所示. 但是随着射频集成电路工作频率的不断提升, 片上变压器与

层间其他器件寄生耦合效应急剧增加, 导致层间串扰效应十分显著^[4].

本文以互连传输理论为基础, 通过对片上变压器层间电磁场耦合理论分析, 提出一种片上变压器层间串扰屏蔽优化结构, 最后通过“场路结合、协同仿真”, 利用电路仿真器与 3D 场仿真器协同仿真进行了分析验证.

2 片上变压器层间串扰分析及传输模型

2.1 片上变压器建模及层间串扰分析

本文选取互连线为电感进行分析, 电感结构与变压器次级线圈相同, 如图 2 所示. 图 3(a) 所示为片上变压器层间串扰集总模型. Metal 3 和 Metal 2 为变压器初、次级线圈, Metal 1 为底层电感. 螺旋线圈的开放式结构使片上变压器邻近层间产生电磁

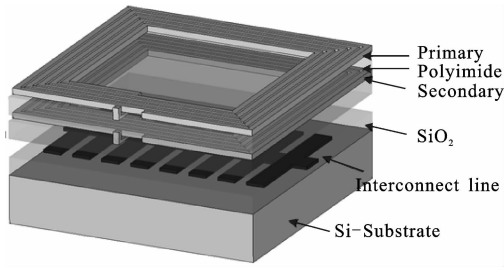


图 1 片上变压器与底层互连线模型

泄露,引起层间串扰效应,导致变压器的线圈及底层电感之间存在寄生耦合损耗。

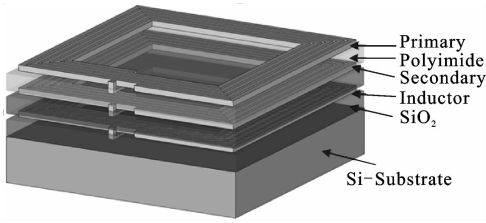
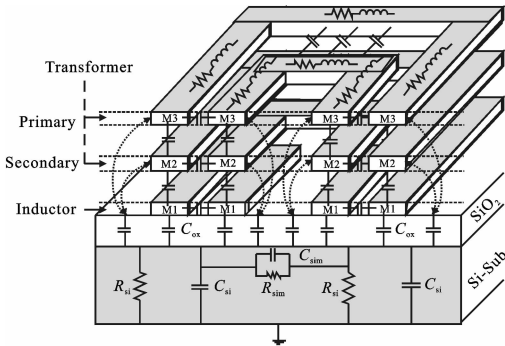
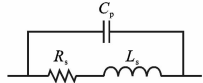


图 2 片上变压器底层互连线为电感模型

图 3(a)中,片上变压器每层线圈的基本特性可以由图 3(b)所示的简单 RLC 网络表示,分别是串联电阻、串联电感和并联电容。通过确定模型中各元件的数值,就可以准确的评估片上变压器的特性和性能。



(a)片上变压器与底层电感结构示意图



(b)包含寄生电容的互连线等效模型图

图 3 片上变压器与底层电感的结构示意图及包含寄生电容的互连线等效模型

2.2 片上变压器模型参数提取

图 3(a)中,对于片上变压器参数提取,可以采用分布式参数模型,运用互连线传输理论进行求解计算。图 4 所示为考虑串扰效应影响的互连线集总模型,互连线为相同尺寸的共面结构,线宽度、厚度、长度和线间距分别为 W 、 T 、 l 和 S ,介质层厚度为

H , ϵ 为介质层(SiO_2)介电常数。 L_1 和 R_1 是传输线的电感值和直流电阻, L_2 和 R_2 是由趋肤效应和邻近效应引起的^[5]。 C_m 为互连线间耦合电容, C_g 为互连线自身的对地电容。

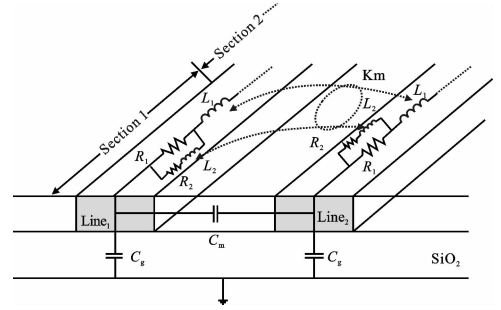


图 4 片上互连线 3D 结构集总模型

互连电阻 R 由直流电阻 R_{DC} 和交流电阻 R_{AC} 组成。图 5 比较了直流、交流变化下金属互连线截面电流密度分布情况及对应的等效电路模型。

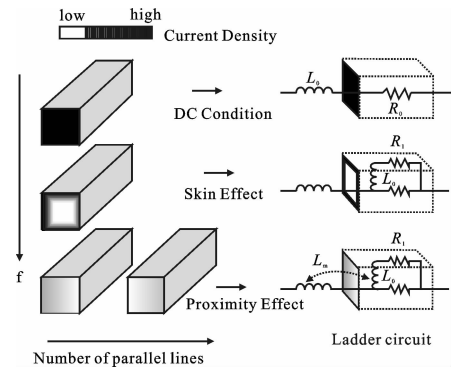


图 5 互连线趋肤效应和邻近效应等效模型

从图 2 中可以看到,直流(DC)情况下,互连线截面电流密度均匀分布,导体以欧姆损耗为主。

$$R = R_{DC} = \frac{\rho l}{WT} \quad (1)$$

而当交变电流(AC)通过时,互连线内部形成涡旋电流致使截面电流会重新分布,发生趋肤效应和邻近效应。高频时,电流向导体表面集中,相当于互连线的有效截面积减小,趋肤效应使得互连电阻变成与频率有关,交流电阻^[6]为

$$R_{AC} = \frac{\rho l}{W\delta} = \sqrt{\frac{\rho \mu f l}{W}} \quad (2)$$

式中, ρ 为电阻率, μ 为磁导率。

寄生电容是引起互连线串扰效应的重要因素之一,对于 CMOS 工艺下互连线构成的片上变压器,耦合电容不仅存在于同层相邻互连线之间,变压器层间互连线之间也存在。为了减小模型复杂程度,互连线寄生电容可参考 PTM Wong 模型中的提取方

法^[6]. 该方法中,互连线总电容为

$$C = 2(C_m + C_g) \tag{3}$$

式中, C_g 和 C_m 分别为单位长度上互连线自身地对地电容和互连线间的耦合电容,表达式为

$$C_g = \epsilon \left[\frac{W}{H} + 2.22 \left(\frac{S}{S + 0.7H} \right)^{3.19} + 1.17 \left(\frac{S}{S + 1.5H} \right)^{0.76} \left(\frac{T}{T + 4.53H} \right)^{0.12} \right] \tag{4}$$

$$C_m = \epsilon \left[1.14 \frac{T}{S} \cdot \left(\frac{H}{H + 2.06S} \right)^{0.09} + 0.74 \left(\frac{W}{W + 1.59S} \right)^{1.14} + 1.16 \left(\frac{W}{W + 1.87S} \right)^{0.16} \left(\frac{H}{H + 0.98S} \right)^{1.18} \right] \tag{5}$$

互连线中寄生电感也是引起串扰的主要因素,互连线自感及互连线间的互感对电路都会产生影响,对于多层互连线结构,式(6)、(7) 给出了互连线自感 L 和互感 M 的表达式^[6]

$$L = \frac{\mu l}{2\pi} \left[\ln \frac{2l}{W+T} + \frac{1}{2} + \frac{0.22(W+T)}{l} \right] \tag{6}$$

$$M = \frac{\mu l}{2\pi} \left[\ln \frac{2l}{S} - 1 + \frac{S}{l} \right] \tag{7}$$

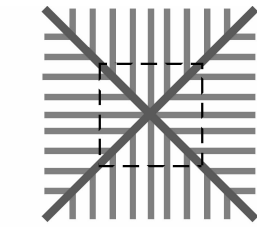
2.3 片上变压器层间串扰屏蔽

串扰是由于临近导体之间的互容和互感所引起的,因而片上变压器层间金属线上的串扰与它们之间的互感和互容有关. 在深亚微米工艺中,片上变压器同层和层间金属线间距较小,串扰耦合严重,传输线间的电场和磁场将以各种特殊方式相互作用,不仅影响片上变压器的信号完整性的变化,而且导致片上变压器能量损耗增加、传输效率降低.

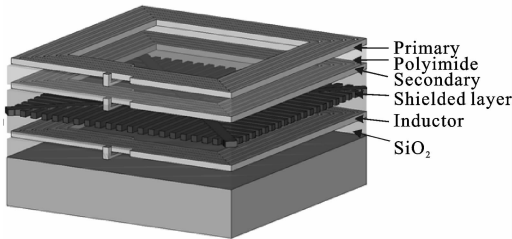
共面波导是高频设计中常用的一种传输线形式,利用共面波导传输线栅格屏蔽原理^[7-8],在变压器和电感层间增加一层栅格屏蔽层,图 6 所示为本文的片上变压器层间串扰屏蔽优化结构. 屏蔽栅格与信号线的方向垂直,这样对串联电感和电阻的影响较小,同时屏蔽栅格上不会产生感应电流,屏蔽了电磁场向变压器底部扩散. 片上变压器层间串扰得到抑制,损耗降低. 通常栅格屏蔽是接地的,为了防止受地上电压波动影响也可以断开接地.

3 仿真分析与讨论

本文采用 0.18 μm CMOS 工艺对片上变压器层间串扰效应进行建模分析,如图 7 所示. 为了减小衬底对金属层的影响,选用电阻率($200\ \Omega \cdot \text{cm}$) 较高的轻掺杂硅衬底,片上变压器及底层电感的尺寸参数见表 1.



(a)栅格屏蔽结构



(b)增加屏蔽层后变压器层间模型

图 6 栅格屏蔽结构与增加屏蔽层后变压器层间模型

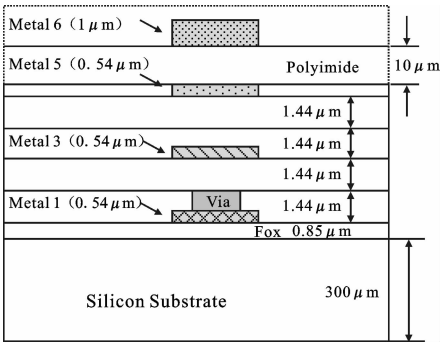


图 7 0.18 μm CMOS 工艺截面图(M6、M5 为变压器初次级线圈,M3 为栅格屏蔽层,M1 为底层电感)

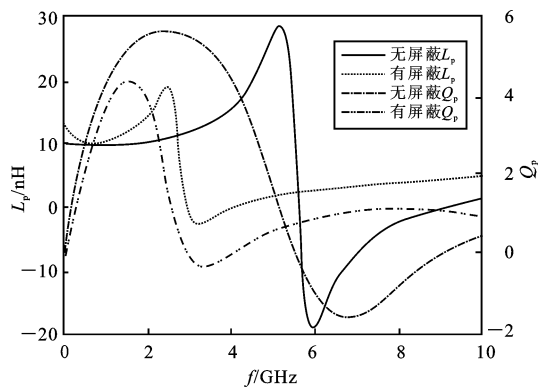
表 1 片上变压器、电感及栅格屏蔽层尺寸参数

参数	变压器/电感	栅格屏蔽结构
N	4.95	—
$\tau/\mu\text{m}$	12	4
$s/\mu\text{m}$	2	1
$D/\mu\text{m}$	312	312

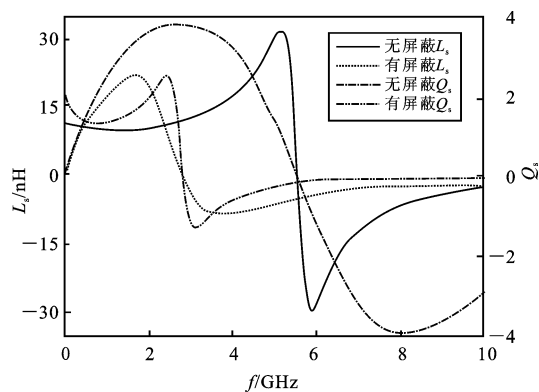
3.1 磁场仿真

图 8 ~ 10 分别对片上变压器的电感值 L 、品质因数 Q 、互感系数 K_m 和互阻系数 K_r 以及插入损耗在有无栅格屏蔽层时进行对比.

仿真结果表明,在低频段,两种情况下变压器等效电感和品质因数的变化都不大,因为此时寄生效应的影响很小. 而当频率不断增加,寄生效应的影响开始逐渐显现, Q 值随频率增加而增加但斜率越来越小,达到峰值并开始下降,等效电感此时也开始逐

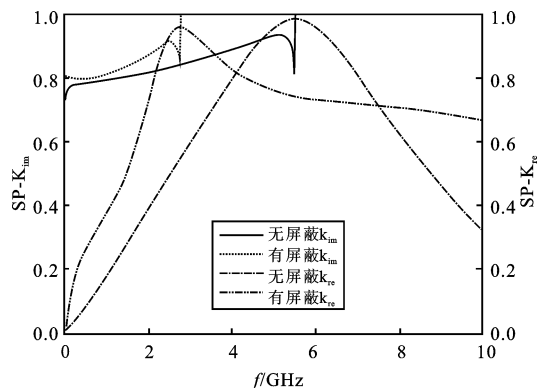


(a)初级线圈



(b)次级线圈

图8 变压器的初级线圈与次级线圈的电感和品质因数在有无屏蔽层时的对比

图9 变压器的互感系数 K_m 和互阻系数 K_{re} 在有无屏蔽层时的对比

渐加速变大。而采用栅格屏蔽层后,栅格屏蔽层使得变压器和底层电感之间的寄生电容增加,故图8中变压器初级线圈的自谐振频率由5.6 GHz减小到2.95 GHz。线圈的电感 L 值总体提高了,其品质因数 Q 在低频和高频区域呈现减小和增大两种不同趋势。因为变压器的低频区域受栅格屏蔽层影响较小,而随着频率的增加,变压器受高频效应(如层间涡流效应)的影响较为显著,层间串扰加强。栅格屏蔽层屏蔽了片上变压器层间电磁场渗透,有效减小

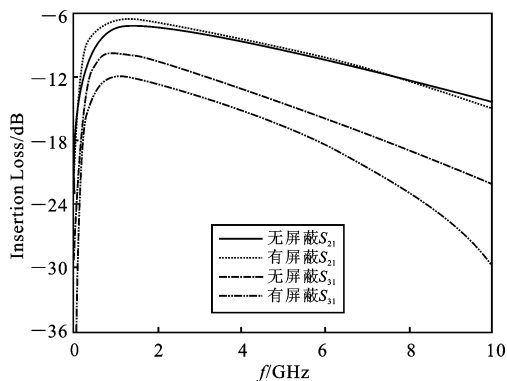


图10 变压器以及变压器和底层电感之间的插入损耗在有无屏蔽层时的对比

了变压器高频损耗,变压器的 Q 值提高。栅格屏蔽层具有一定局限性,当频率较高即变压器和底层电感之间的耦合较严重时,栅格屏蔽层对抑制两者之间的串扰损耗才比较明显。图8中变压器次级线圈的 L 值和 Q 值变化情况和初级线圈相同,与初级线圈变化基本一致。图9变压器的互感系数 K_m 增大,截止频率由5.55 GHz减小到2.81 GHz。不管有无屏蔽层,二者的互阻系数 K_{re} 在截止频率前增加,在截止频率后减小。图10采用栅格屏蔽层的变压器的插入损耗 S_{21} 变化不明显,而变压器和底层电感之间的插入损耗 S_{31} 减小,即变压器和底层电感之间的耦合损耗减小了,此时栅格屏蔽层起到了屏蔽的作用。

3.2 电路仿真

图11为变压器和底层电感的端口电压时间信号幅度和相位以及电压驻波比(Voltage Standing Wave Ratio, VSWR)在有无屏蔽层时的对比图。其中,实线和虚线分别表示无屏蔽层和有屏蔽层, Pri (Primary)、Sec (Secondary) 和 Ind (Inductor) 分别表示变压器的初级线圈、次级线圈和底层电感。

采用栅格屏蔽层后,从图11(a)和图11(b)中可以观察到,变压器初级线圈端口电压时间信号的幅度和相位无明显变化。而次级线圈的电压幅值减小、电压相位增加,次级线圈的端口电压时间信号出现提前。底层电感的电压幅度和相位都出现大幅度减小,底层电感的端口电压时间信号出现延迟。表明栅格屏蔽层在变压器和底层电感之间起到了屏蔽电磁场的作用。图11(c)中,采用栅格屏蔽层的电压驻波比呈现增加趋势,使得变压器与底层电感之间的阻抗不匹配度增加,导致变压器渗透到底层电感的一部分电磁能量被反射回去,故栅格屏蔽层屏蔽了片上变压器产生电磁场向底层渗透。

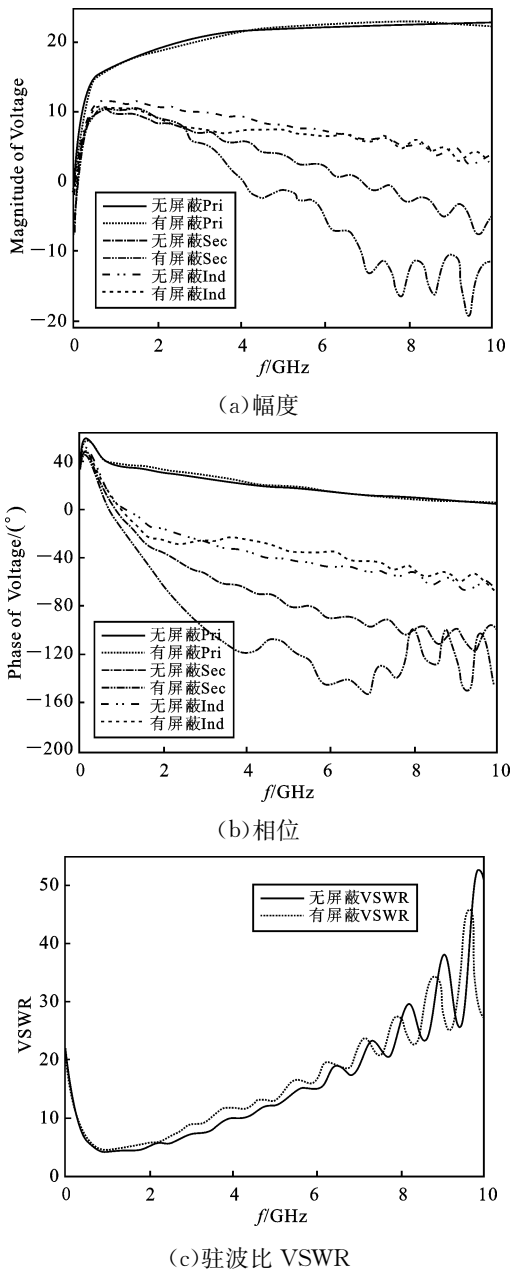


图 11 变压器和底层电感的端口电压时间信号在有无屏蔽层时的对比

4 结束语

本文通过对片上变压器层间串扰屏蔽优化的场路结合协同仿真,系统地研究了屏蔽优化结构对片上变压器层间串扰效应的影响。片上变压器的电磁仿真表明采用栅格屏蔽层能够有效抑制层间串扰效应,使片上变压器的电感值和品质因数提升,性能得到改善。

片上变压器是射频集成电路的核心器件,其性能好坏直接影响电路的可靠性。本文通过在增加一层栅格屏蔽结构,解决了多层布线中存在的串扰问

题,在保证片上变压器性能的同时,有效减小了片上变压器的芯片面积,提高系统了集成度、降低了成本。该栅格屏蔽结构也可应用于射频集成电路中片上电感等其他互连线器件的层间串扰抑制。

参考文献:

[1] Han B, Wang D W F. A broadband reduced equivalent circuits for on-chip millimeter-wave asymmetrical transformer[J]. International Journal of Electronics Letters, 2014, 3(1):24-33.

[2] 邱城波. 基于传递函数的片上变压器及 HEMT 器件建模[D]. 杭州:杭州电子科技大学, 2013.

[3] Zhao W, Cao Y. Predictive technology model for nano-CMOS design exploration[J]. ACM Journal on Emerging Technologies in Computing Systems (JETC), 2007, 3(1):1-3.

[4] Hsieh H I, Shih S F. Effects of transformer structures on the noise balancing and cancellation mechanisms of switching power converters[C]// Power Electronics Conference (IPEC-Hiroshima 2014 - ECCE-ASIA), 2014 International. Japan, Hiroshima, IEEE, 2014: 2380-2384.

[5] Liu S, Shi H, Feng L. Transformer harmonic loss model considering skin effect and proximity effect[J]. Electric Power Automation Equipment, 2015, 35(3): 133-139.

[6] Franc A, Pistono E, Meunier G, et al. A lossy circuit model based on physical interpretation for integrated shielded slow-wave CMOS coplanar waveguide structures[J]. IEEE Transactions on Microwave Theory & Techniques, 2013, 61(2):754-763.

[7] Shirmohammadi Z, Miremadi SG. Crosstalk avoidance coding for reliable data transmission of network on chips[C]// System on Chip (SoC), 2013 International Symposium on. Finlan, Tampere, IEEE, 2013:1-4.

[8] Maheswari M, Seetharaman G. Enhanced low complex double error correction coding with crosstalk avoidance for reliable on-chip interconnection link[J]. Journal of Electronic Testing, 2014, 30(4):387-400.

作者简介:

张 峰 男, (1977-), 硕士, 高级工程师。研究方向为数字信号隔离、电磁感应。

屈 操(通讯作者) 男, (1988-), 硕士。研究方向为射频集成电路、半导体物理器件。E-mail: cao. qu@titic. com. cn.

赵 婷 女, (1988-), 硕士。研究方向为射频集成电路、电磁理论及仿真。